

(19)日本国特許庁 (J P) (12) 公開特許公報 (A) (11)特許出願公開番号  
 特開平5-227123  
 (43)公開日 平成5年(1993)9月3日

(51)Int.Cl.<sup>5</sup> 識別記号 庁内整理番号 F I 技術表示箇所  
 H 0 4 J 13/00 A 7117-5K

審査請求 未請求 請求項の数1(全 8 頁)

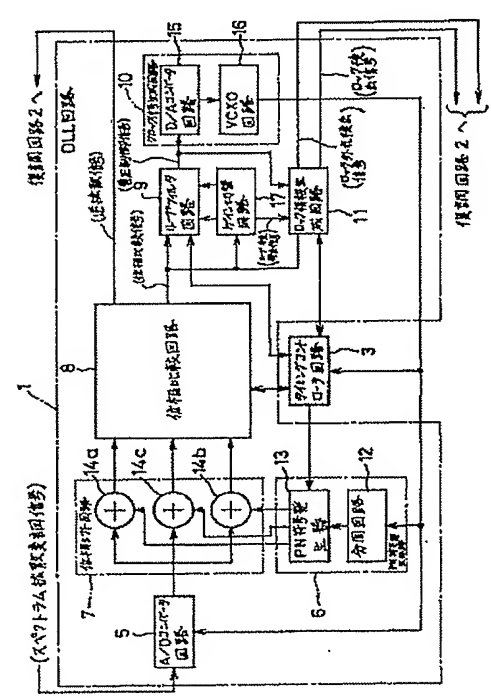
(21)出願番号	特願平4-61392	(71)出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22)出願日	平成4年(1992)2月15日	(72)発明者	岩切 直彦 東京都品川区北品川6丁目7番35号 ソニ ー株式会社内
		(74)代理人	弁理士 山本 秀樹

(54)【発明の名称】 スペクトラム拡散通信受信機

(57)【要約】

【目的】 本発明はループが安定しているかどうかを判定して、ループが安定しているとき、ループゲインと、ループ時定数とを切り替えることにより、ロック外れを防止しながらジッタ成分を小さくして基準クロックの純度を良くする。

【構成】 ゲイン切替回路17によって位相比較回路8の出力を一定周期で加算してこの加算動作によって得られる信号の値と予め設定されているしきい値とを比較し、この比較結果に基づいてループが安定しているかどうかを判定し、ループが安定しているとき、ループフィルタ回路9のゲインと、フィルタ時定数とを切り替える。



## 【特許請求の範囲】

【請求項1】 受信動作によって得られたスペクトラム拡散通信信号を位相比較回路とループフィルタ回路とを有するDLL回路に導いて前記スペクトラム拡散信号の追尾と逆拡散とを行なうとともに、前記DLL回路の逆拡散動作によって得られた逆拡散信号を復調回路に導いて復調信号を生成するスペクトラム拡散通信受信機において、

前記位相比較回路の出力を一定周期で加算してこの加算動作によって得られる信号の値と予め設定されているしきい値とを比較し、この比較結果に基づいてループが安定しているかどうかを判定し、ループが安定しているとき、前記ループフィルタ回路のゲインと、フィルタ時定数とを切り替えるゲイン切替回路、を備えたことを特徴とするスペクトラム拡散通信受信機。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明はスペクトラム拡散通信システムで使用されるスペクトラム拡散通信受信機に関する。

## 【0002】

【従来の技術】 従来、人工衛星を用いて車両や航空機、船舶等の移動体の測位を行なうとともに、メッセージ通信を行なう衛星測位通信サービスシステムでは、その伝送方式として、スペクトラム拡散方式を用いることが多い。

【0003】 このスペクトラム拡散方式は、データ伝送を行なう際に、データにPN符号を重畳させてスペクトラムを拡散するようにしたものであり、干渉に強く、また受信に際しては、送られて来る受信信号と同一のPN符号を用いなければ、ホワイトノイズとしてしか、認識し得ないため、極めて秘話性が高いというメリットがある。

【0004】 そして、このようなスペクトラム拡散通信方式による受信機では、スペクトラム拡散されて送られて来る受信信号を復調する際、ディレイロックループ(DLL)回路を用いてスペクトラム拡散された受信信号を逆拡散処理して逆拡散信号を再生することが多い。

【0005】 この場合、DLL回路は受信信号のPN符号と同一のPN符号を発生するPN符号発生器を有し、このPN符号発生器によって得られる出力符号と受信信号中の符号との位相比較を行ない、この比較結果でPN符号発生器から出力される出力符号の位相を制御しながら受信信号を逆拡散処理して逆拡散信号を生成し、これを復調回路に出力してこの逆拡散信号と前記位相制御内容とに基づいて前記復調回路の動作を制御して、逆拡散信号を復調させる(J. J. Spilker, Jr. "Delay-lock Tracking of Binary Signals" IEEE Transactions on Space Electronics and Telemetry 1963 March)。

## 【0006】

【発明が解決しようとする課題】 しかしながら、上述した従来のスペクトラム拡散通信受信機においては、DLL回路が引き込みに成功しても、引き込み時のループゲインKと、ループ時定数aとでは、ジッタ成分が大きく、DLL回路によって制御される基準クロックのキャリア純度が悪い。

【0007】 このため、ジッタ成分を小さく押さえて基準クロックの純度をよくするために、ダンピングファクタを1程度に保ったまま、角速度 $\omega_n$ が小さくなるようにループゲインKと、ループ時定数aとを設定しなければならず、これらループゲインKやループ時定数aの設定がむずかしいという問題があった。

【0008】 そこで、このような問題を解決する方法として、DLL回路内に、ゲイン切替回路を設けて、ループゲインKと、ループ時定数aとを切り替えるようにしたスペクトラム拡散通信受信機も開発されているが、このようなスペクトラム拡散通信受信機では、引き込みに成功した後、予め設定された時間が経過する毎に、ループゲインKと、ループ時定数aとを切り替えるようにしていたので、DLL回路のループが不安定なときにループゲインKと、ループ時定数aとを切り替えてしまい、ゲイン切り替えによってロック外れを起こしてDLL回路が追尾に失敗してしまうことがあった。

【0009】 本発明は上記の事情に鑑み、ループが安定しているかどうかを判定して、ループが安定しているとき、ループゲインと、ループ時定数とを切り替えることにより、ロック外れを防止しながらジッタ成分を小さくして基準クロックの純度をよくすることができるスペクトラム拡散通信受信機を提供することを目的としている。

## 【0010】

【課題を解決するための手段】 上記の目的を達成するために本発明によるスペクトラム拡散通信受信機は、受信動作によって得られたスペクトラム拡散通信信号を位相比較回路とループフィルタ回路とを有するDLL回路に導いて前記スペクトラム拡散信号の追尾と逆拡散とを行なうとともに、前記DLL回路の逆拡散動作によって得られた逆拡散信号を復調回路に導いて復調信号を生成するスペクトラム拡散通信受信機において、前記位相比較回路の出力を一定周期で加算してこの加算動作によって得られる信号の値と予め設定されているしきい値とを比較し、この比較結果に基づいてループが安定しているかどうかを判定し、ループが安定しているとき、前記ループフィルタ回路のゲインと、フィルタ時定数とを切り替えるゲイン切替回路を備えたことを特徴としている。

## 【0011】

【作用】 上記の構成において、ゲイン切替回路によって位相比較回路の出力を一定周期で加算してこの加算動作によって得られる信号の値と予め設定されているしきい

値とを比較し、この比較結果に基づいてループが安定しているかどうかを判定し、ループが安定しているとき、ループフィルタ回路のゲインと、フィルタ時定数とを切り替えることにより、ロック外れを防止しながらループのジッタ成分を小さくして基準クロックの純度を良くする。

#### 【0012】

【実施例】図1は本発明によるスペクトラム拡散通信受信機の一実施例を示すブロック図である。

【0013】この図に示すスペクトラム拡散通信受信機はDLL回路1と、復調回路2と、タイミングコントローラ回路3とを備えており、タイミングコントローラ回路3によってDLL回路1の動作タイミングと、復調回路2の動作タイミングとを制御して前記DLL回路1がデジタルマッチドフィルタ等（図示せず）の初期捕捉によって引き込み動作を開始するとほぼ同時に復調回路2の動作を開始させ、これらがほぼ同時にロックされるようにするとともに、DLL回路1のループゲインKと、ループ時定数aとを順次、切り替えながらDLL回路1によってスペクトラム拡散変調信号を逆拡散させ、復調回路2によって前記DLL回路1から出力される逆拡散信号を復調させる。そして、DLL回路1のロックが外れたとき、ほぼ同時に復調回路2の動作を停止させる。

【0014】DLL回路1は図2に示す如くA/Dコンバータ回路5と、PN符号発生回路6と、位相シフト回路7と、位相比較回路8と、ループフィルタ回路9と、クロック信号生成回路10と、ゲイン切替回路17と、ロック情報生成回路11とを備えており、前記タイミングコントローラ回路3から出力される各種のタイミング信号に基づいてスペクトル拡散変調信号に対する初期捕捉によってDLLが引き込み動作を開始し、引き込みに成功（ロック検出）後、ロック検出信号を生成して復調回路2の動作を開始させた後、ループが安定する毎に、ループフィルタ回路9のループゲインKとフィルタ時定数aとを切り替えながら、スペクトラム拡散変調信号を逆拡散して逆拡散信号を生成しこれを前記復調回路2に供給する。そして、ロックが外れるとほぼ同時にロック外れ検出信号を生成して前記復調回路2の動作を停止させる。

【0015】A/Dコンバータ回路5は前記クロック信号生成回路10から出力されるクロック信号に基づいたタイミングでスペクトラム拡散変調信号を取り込んでこれを量子化し、この量子化動作によって得られたデジタル形式のスペクトラム拡散変調信号を位相シフト回路7に供給する。

【0016】また、PN符号発生回路6は前記クロック信号生成回路10から出力されるクロック信号を1/2に分周する分周回路12と、前記タイミングコントローラ回路3から出力される制御信号に基づいて動作し、前

記分周回路12によって分周されたクロック信号に同期して基準PN符号およびこの基準PN符号より1/2クロック早い進みPN符号、前記基準PN符号より1/2クロック遅い遅れPN符号を発生するPN符号発生器13とを備えており、前記クロック信号生成回路10から出力されるクロック信号を分周回路12によって1/2に分周しこの分周動作によって得られたクロック信号に基づいてPN符号発生器13を動作させて基準PN符号と、進みPN符号と、遅れPN符号とを生成し、これを位相シフト回路7に供給する。

【0017】位相シフト回路7は前記PN符号発生回路6から出力される進みPN符号と前記A/Dコンバータ回路5から出力されるスペクトラム拡散変調信号との排他的論理和をとる第1排他的論理和ゲート14aと、前記PN符号発生回路6から出力される遅れPN符号と前記A/Dコンバータ回路5から出力されるスペクトラム拡散変調信号との排他的論理和をとる第3排他的論理和ゲート14cと、前記PN符号発生回路6から出力される基準PN符号と前記A/Dコンバータ回路5から出力されるスペクトラム拡散変調信号との排他的論理和をとる第2排他的論理和ゲート14bとを備えており、前記A/Dコンバータ回路5から出力されるスペクトラム拡散変調信号と前記PN符号発生回路6から出力される進みPN符号および遅れPN符号、基準PN符号との排他的論理和をとってこれらの各処理結果を位相比較回路8に供給する。

【0018】位相比較回路8は前記タイミングコントローラ回路3からの制御信号に基づいて前記第1排他的論理和ゲート14aから出力される信号と、前記第3排他的論理和ゲート14cから出力される信号との相関をとって前記第1、第3排他的論理和ゲート14a、14cから出力される各信号のずれを示す2の補数データ（位相比較信号）を生成しこれをループフィルタ回路9と、ゲイン切替回路17と、ロック情報生成回路11とに供給するとともに、前記第2排他的論理和ゲート14bから出力される信号を1シンボルデータ長加算して逆拡散信号を生成しこれを前記復調回路2に供給する。

【0019】ループフィルタ回路9は前記位相比較回路8から出力される位相比較信号の値と、前記ゲイン切替回路17によって指定されたループゲインKと、フィルタ時定数aとに基づいて演算を行って前記位相比較信号の値に対応するバイナリー形式の電圧制御信号を生成し、これをクロック信号生成回路10とロック情報生成回路11とに供給する。

【0020】クロック信号生成回路10は前記ループフィルタ回路9から出力される電圧制御信号を取り込むと共に、これをD/A変換してアナログ形式の電圧制御信号を生成するD/Aコンバータ回路15と、このD/Aコンバータ回路15から出力される電圧制御信号の値に応じた周波数で発信してクロック信号を生成するVCO

○回路 16 とを備えており、前記ループフィルタ回路 9 から出力される電圧制御信号の値に応じた周波数で発信してクロック信号を生成し、これを前記タイミングコントローラ回路 3 と、前記 PN 符号発生回路 6 と、前記 A/D コンバータ回路 5 とに供給する。

【0021】また、ゲイン切替回路 17 は図 3 に示すごとく加算周期設定回路 18 と、位相比較器出力加算回路 19 と、しきい値設定回路 20 と、判定回路 21 と、カウンタ回路 22 と、ゲイン切替判定回路 23 と、ゲイン設定回路 24 とを備えており、位相比較回路 8 から出力される位相比較信号の値をチェックしてループが安定状態になっているかどうかを判定し、ループが安定状態になる毎に、ループが安定状態であることを示すループ安定検出信号を生成してこれをロック情報生成回路 11 に供給すると共に、このループ安定検出信号を出力してから所定時間後に前記ループフィルタ回路 9 のループゲイン  $K$  とフィルタ時定数  $a$  とを切り替える。

【0022】加算周期設定回路 18 はループが安定しているかどうかを決めるときの加算回数が設定されており、この加算回数を位相比較器出力加算回路 19 に供給する。

【0023】位相比較器出力加算回路 19 は前記位相比較回路 8 から出力される位相比較信号を前記加算周期設定回路 18 から出力される加算回数だけ加算する毎に、この加算処理によって得られた加算値を前記判定回路 21 に出力し、この後それまでの加算値をリセットした後、この処理を繰り返す。

【0024】また、しきい値設定回路 20 はループが安定しているかどうかを決めるときのしきい値が設定されており、このしきい値を前記判定回路 21 に供給する。

【0025】判定回路 21 は前記位相比較器出力加算回路 19 から周期的に出力される加算値と、前記しきい値設定回路 20 から出力されるしきい値とを比較して前記加算値がしきい値の範囲内に入っているとき、これを検出してしきい値内検出信号を生成し、これをカウンタ回路 22 に供給する。又、前記加算値がしきい値の範囲から外れているとき、リセット信号を生成してこれを前記カウンタ回路 22 に供給する。

【0026】カウンタ回路 22 は前記判定回路 21 からしきい値内検出信号が出力される毎に、これをカウントしてこのカウント動作によって得られたカウント値を前記ゲイン切替判定回路 23 に供給し、またこのゲイン切替判定回路 23 や前記判定回路 21 からリセット信号が出力される毎に、それまでのカウント値をリセットして上述したカウント動作を繰り返す。

【0027】ゲイン切替判定回路 23 は前記カウンタ回路 22 から出力されるカウント値に基づいて前記ループが安定しているかどうかを判定し、ループが安定していると判定したとき、ループが安定していることを示すループ安定検出信号を生成してこれをロック情報生成回路

11 に供給すると共に、このときから一定時間後に切り替え信号を生成してこれをゲイン設定回路 24 に供給する。

【0028】この場合、ループが安定しているかどうかを判定する方法として、例えば位相比較器出力加算回路 19 から出力される加算値がしきい値より小さい状態が所定回数だけ連続し、これに対応してカウンタ回路 22 から出力されるカウント値が予め設定されている値以上となったとき、ループが安定したと判定する方法等がとられる。

【0029】ゲイン設定回路 24 は前記ゲイン切替回路 23 から切り替え信号が出力される毎に、予め設定されている複数のゲイン  $K$  および複数のループ時定数  $a$  のうち、DLL 回路 1 の角速度  $\omega_n$  を順次鈍くするようにゲイン  $K$  とループ時定数  $a$  とを選択してループフィルタ回路 9 に供給する。

【0030】また、ロック情報生成回路 11 は図 4 に示すごとく前記位相比較回路 8 から出力される位相比較信号に基づいて DLL 回路 1 が引き込み成功したかどうかを判定するロック検出信号生成回路 25 と、前記ゲイン切替回路 17 から出力されるループ安定検出信号と前記ループフィルタ回路 9 から出力される電圧制御信号とに基づいて DLL 回路 1 のロックが外れたかどうかを判定するロック外れ検出信号生成回路 26 とを備えており、前記位相比較回路 8 から出力される位相比較信号の値に基づいて DLL 回路 1 が引き込み成功したかどうかをチェックし、引き込みの成功を検出したとき、ロック検出信号を生成しこれを前記復調回路 2 に供給する。また、前記ゲイン切替回路 17 から出力されるループ安定検出信号が出力されたとき、前記ループフィルタ回路 9 から出力される電圧制御信号の値に基づいてしきい値を設定し、この後このしきい値と前記ループフィルタ回路 9 から出力される電圧制御信号とを比較して DLL 回路 1 のロックが外れたかどうかをチェックし、ロック外れを検出したとき、ロック外れ検出信号を生成しこれを前記復調回路 2 に供給する。

【0031】次に、図 1 ないし図 4 を参照しながらこの実施例のロック動作を説明する。まず、デジタルマッチドフィルタ等による初期補足動作が開始されれば、タイミングコントローラ回路 3 の制御の下に、クロック信号生成回路 10 によってクロック信号が生成されて PN 符号発生回路 6 から進み PN 符号および遅れ PN 符号、基準 PN 符号が出力されて、これら進み PN 符号、遅れ PN 符号、基準 PN 符号と、A/D コンバータ回路 5 から出力されるデジタル形式のスペクトラム拡散変調信号との排他的論理和が演算されてこの演算結果が位相比較回路 8 に供給される。

【0032】そして、この位相比較回路 8 によって前記演算結果に基づいて前記 A/D コンバータ回路 5 から出力されるスペクトラム拡散変調信号中に含まれる PN 符

号の位相と、前記PN符号発生回路6から出力されるPN符号の位相とのずれが検出されてこれがループフィルタ回路9に供給され、バイナリー形式の電圧制御信号に変換されて前記A/Dコンバータ回路5から出力されるスペクトラム拡散変調信号中に含まれるPN符号の位相と、前記PN符号発生回路6から出力されるPN符号の位相とのずれが小さくなるように、前記クロック信号生成回路10から出力されるクロック信号の位相が制御される。

【0033】そして、この動作と並行して、ループが安定して位相比較回路8から出力される位相比較信号の値を予め設定されている周期で加算した加算値がゲイン切替回路17のしきい値設定回路20から出力されるしきい値内になり、判定回路21によってこれが所定回数だけ検出される毎に、ゲイン切替判定回路23によってこれが検出されたロック情報生成回路11のロック外れ検出信号生成回路26のデータ収集処理が行われ、ロック外れ検出用のしきい値が算出されるとともに、このしきい値算出処理が終了した時点で、ゲイン設定回路24から出力されるゲインKの値と、ループ時定数aの値とが角速度 $\omega_n$ を鈍くする方向に切り替えられる。

【0034】これによって、図5に示すごとくループが安定した各時刻 $t_1$ 、 $t_2$ 、 $t_3$ でゲイン切替回路17によってループフィルタ回路9のゲインKの値と、ループ時定数aの値とが角速度 $\omega_n$ を鈍くする方向に切り替えられてループフィルタ回路9から出力される電圧制御信号の値が集束するとともに、基準クロックの純度が高められてジッタ成分が小さくなる。

【0035】またこのとき、ゲイン切替回路17によってループフィルタ回路9のゲインK及びループ時定数aとが切り替えられる毎に、ロック情報生成回路11に設けられたロック外れ検出信号生成回路26のしきい値が上限値と加減値の幅が小さくなるように切り替えられる。

【0036】そして、位相比較回路8から出力される位相比較信号の値が所定の条件を満たしたとき、この位相比較信号に基づいて引き込みの有無を検出しているロック情報生成回路11のロック検出信号生成回路25によってこれが検出されてロック検出信号が生成されるとともに、このロック検出信号によって復調回路2がロック動作を開始してDLL回路1から出力される逆拡散信号の復調を開始する。

【0037】この後、何等かの原因によりDLL回路1のロックが外れたとき、ロック情報生成回路11のロック外れ検出信号生成回路26によってこれが検出されたロック外れ検出信号が生成されると共に、このロック外れ検出信号によって復調回路2が復調動作を停止する。

【0038】この場合、ゲイン切替回路17によってループフィルタ回路9のループゲインK及びフィルタ時定数aを切り替える毎に、ロック情報生成回路11に設け

られているロック外れ検出信号生成回路26のしきい値が切り替えられているので、DLL回路1のロックが外れたとき、これを確実に検出して復調回路2の復調動作を停止させることができる。

【0039】このようにこの実施例においては、ループが安定する毎に、ゲイン切替回路17によってこれを検出し、各時刻 $t_1$ 、 $t_2$ 、 $t_3$ でロック外れ検出信号生成回路26をリセットしてしきい値の上限値、下限値間の幅を順次、小さくしながら、ゲイン切替回路17によってループゲインKやフィルタ時定数aを切り替えているので、ループが安定しているとき、DLL回路1の角速度 $\omega_n$ を鈍くするようにループフィルタ回路9のループゲインKとフィルタ時定数aとを切り替えることができ、これによってロック外れを防止しながら基準クロックの純度を順次高くして、ループフィルタ回路9から出力される電圧制御信号の値を集束させ、ジッタ成分を小さくすることができる。

【0040】

【発明の効果】以上説明したように本発明によれば、ループが安定しているかどうかを判定して、ループが安定しているとき、ループゲインと、ループ時定数とを切り替えることにより、ロック外れを防止しながらジッタ成分を小さくして基準クロックの純度をよくすることができる。

【図面の簡単な説明】

【図1】本発明によるスペクトラム拡散通信受信機の一実施例を示すブロック図である。

【図2】図1に示すDLL回路の詳細な回路例を示すブロック図である。

【図3】図2に示すゲイン切替回路の詳細な回路例を示すブロック図である。

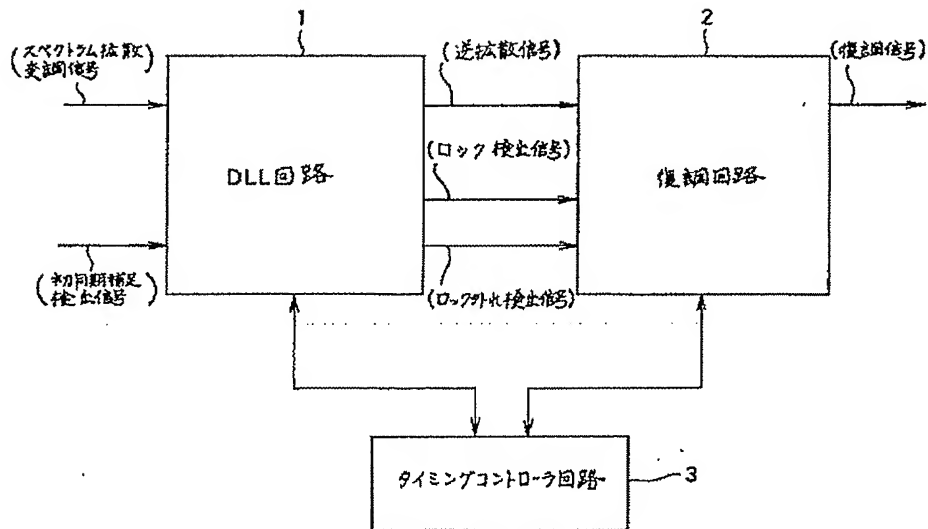
【図4】図2に示すロック情報生成回路の詳細な回路例を示すブロック図である。

【図5】図1に示すDLL回路の動作を説明するための模式図である。

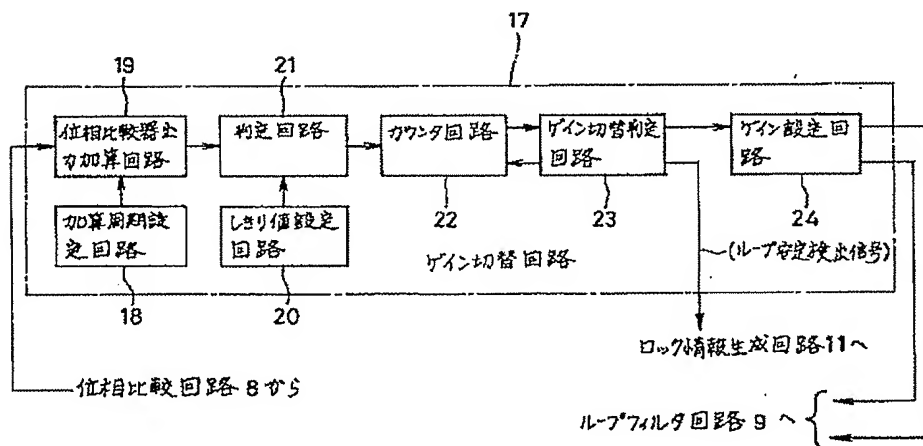
【符号の説明】

- 1 DLL回路
- 2 復調回路
- 3 タイミングコントローラ回路
- 5 A/Dコンバータ回路
- 6 PN符号発生回路
- 7 位相シフト回路
- 8 位相比較回路
- 9 ループフィルタ回路
- 10 クロック信号生成回路
- 11 ロック情報生成回路
- 17 ゲイン切替回路
- 25 ロック検出信号生成回路
- 26 ロック外れ検出信号生成回路

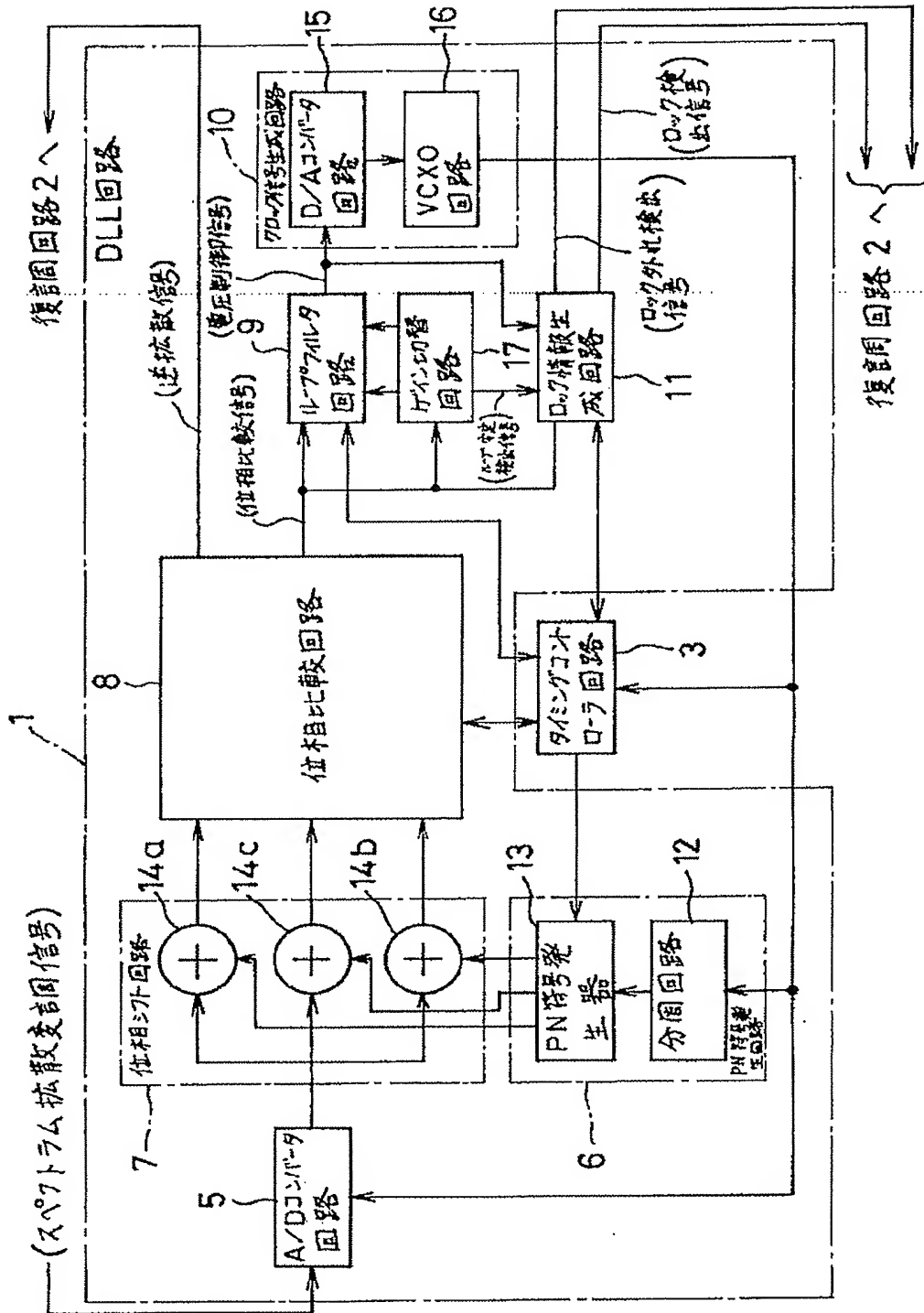
【図1】



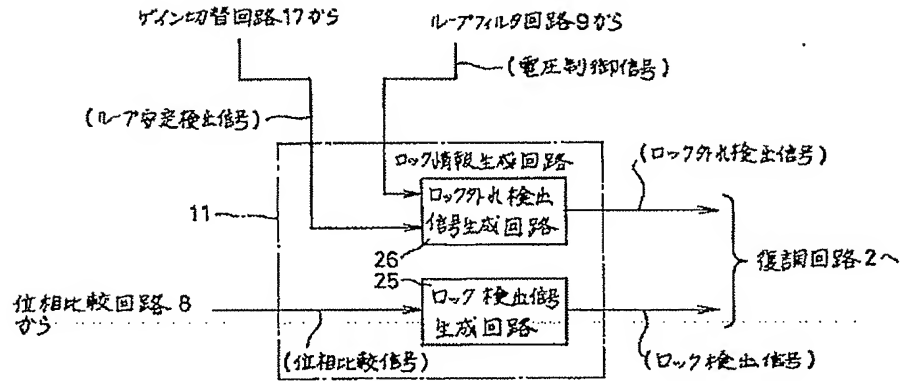
【図3】



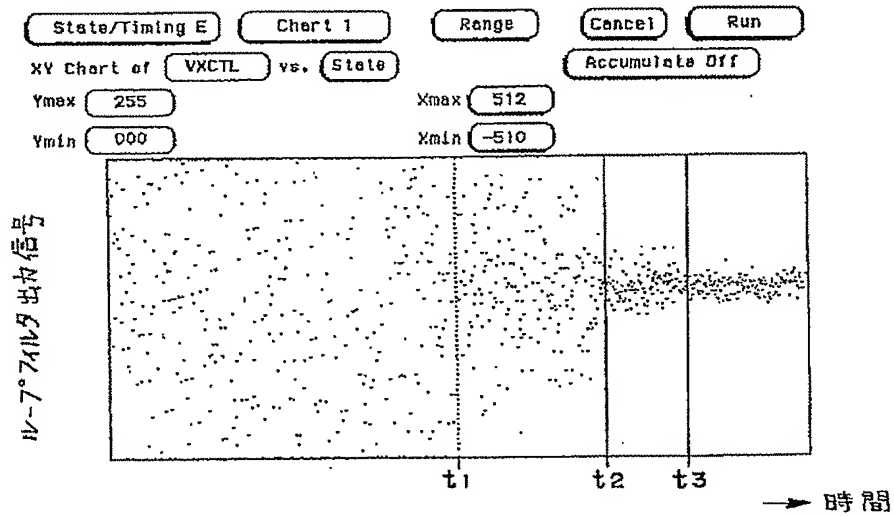
【図2】



【図4】



【図5】





## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-227123

(43)Date of publication of application : 03.09.1993

(51)Int.Cl.

H04J 13/00

(21)Application number : 04-061392

(71)Applicant : SONY CORP

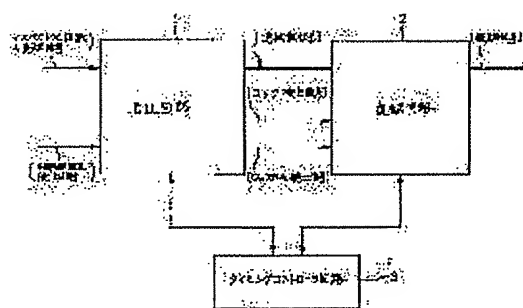
(22)Date of filing : 15.02.1992

(72)Inventor : IWAKIRI NAOHIKO

**(54) SPREAD SPECTRUM COMMUNICATION RECEIVER****(57)Abstract:**

**PURPOSE:** To increase the purity of a reference clock by reducing a jitter component as preventing lock-out from occurring by deciding the stability of a loop, and switching a loop gain and a loop time constant.

**CONSTITUTION:** When a delay locked loop(DLL) circuit 1 starts a pull-in operation by controlling the operating timing of the delay locked loop circuit 1 and that of a demodulation circuit 2 by a timing controller circuit 3, the operation of the demodulation circuit 2 can be started almost simultaneously, and they are locked almost simultaneously. Also, a spread spectrum modulation signal is reversely spread by the DLL circuit 1 as switching the loop gain of the DLL circuit 1 and the loop time constant sequentially, and a reverse spread signal outputted from the DLL circuit 1 is demodulated by the demodulation circuit 2. When the DLL circuit 1 is unlocked, the operation of the demodulation circuit 2 is stopped almost simultaneously. Thereby, it is possible to improve the purity of the reference clock as preventing the lock-out from occurring.



**PU030112 (JP5227123) ON 8675**

- (19) Patent Agency of Japan (JP)
- (12) Official report on patent publication (A)
- (11) Publication number: 5-227123
- (43) Date of publication of application: 03.09.1993
- (51) Int.Cl. H04J 13/00
- (21) Application number: 4-061392
- (22) Date of filing: 15.02.1992
- (71) Applicant: Sony Corp
- (72) Inventor: Iwakiri Naohiko
- (54) Title of the invention: Spread spectrum communication receiver

(57) Abstract:

Purpose: To increase the purity of a reference clock by reducing a jitter component as preventing lock-out from occurring by deciding the stability of a loop, and switching a loop gain and a loop time constant.

Constitution: When a delay locked loop (DLL) circuit 1 starts a pull-in operation by controlling the operating timing of the delay locked loop circuit 1 and that of a demodulation circuit 2 by a timing controller circuit 3, the operation of the demodulation circuit 2 can be started almost simultaneously, and they are locked almost simultaneously. Also, a spread spectrum modulation signal is reversely spread by the DLL circuit 1 as switching the loop gain of the DLL circuit 1 and the loop time constant sequentially, and a reverse

spread signal outputted from the DLL circuit 1 is demodulated by the demodulation circuit 2. When the DLL circuit 1 is unlocked, the operation of the demodulation circuit 2 is stopped almost simultaneously. Thus, it is possible to improve the purity of the reference clock as preventing the lock-out from occurring.

### **[Claim]**

[Claim 1] While leading a spread spectrum system signal acquired by receiving operation to a DLL circuit which has a phase comparison circuit and a loop filter circuit and performing tailing and back spread of the mentioned above spectrum diffusion signal, in a spread spectrum system receiver which leads a back spread signal acquired by back spread operation of the mentioned above DLL circuit to a demodulation circuit, and generates a demodulation signal, a threshold preliminary set to a value of a signal which adds an output of the mentioned above phase comparison circuit with a constant period, and is acquired by this adding action is compared, a spread spectrum system receiver including a gain switching circuit which changes a gain of the mentioned above loop filter circuit, and a filter time constant when it judges whether a loop is stable based on this comparison result and a loop is stable.

### **[Detailed description of the invention]**

[0001] [Industrial application] This invention relates to the spread spectrum system receiver used with a spread spectrum communication system.

[0002] [Description of the prior art] While positioning mobiles, such as vehicles, an airplane, a marine vessel, conventionally using an artificial satellite, in the satellite positioning communication service system which performs message communication, a spectrum spreading system is used as the transmission system in many cases.

[0003] When it performs data communications, this spectrum spreading system makes a PN code superimpose on data, and make it diffuse spectrum, and it is strong to interference and faces it reception, since it cannot recognize only as white noise if the same PN code as the input signal sent is not used, there is a merit that unknown episode nature is very high.

[0004] And in the receiver by such spread spectrum communication, when restoring to the input signal which spectrum spread is carried out and is sent, back spread processing of the input signal by which spectrum spread was carried out using the delay lock loop (DLL) circuit is carried out, and a back spread signal is reproduced in many cases.

[0005] In this case, a DLL circuit has a PN code generator which generates the same PN code as the PN code of an input signal, the phase comparison of the

output codes obtained by this PN code generator and the numerals in an input signal is performed, controlling the phase of the output codes outputted from a PN code generator by this comparison result, carry out back spread processing of the input signal, and a back spread is generated, outputting this to a demodulation circuit and operation of the mentioned above demodulation circuit is controlled based on this back spread signal and the mentioned above contents of phase control, a back spread signal.

(J.J.Spilker,Jr.»Delay-lock Tracking of Binary Signals» IEEE Transactions on Space Electronics and Telemetry 1963 March).

[0006] [Problems to be solved by the invention]

However, in the conventional spread spectrum system receiver mentioned above, even if a DLL circuit succeeds in drawing in, the career purity of the reference clock which a jitter component is large and is controlled by the loop gain  $K$  at the time of drawing in and the loop damping time constant  $\alpha$  by the DLL circuit is bad.

[0007] For this reason, in order to press down a jitter component small and to receive the purity of a reference clock, keeping a damping factor about at one, the loop damping time constant  $\alpha$  had to be set to the loop gain  $K$  so that angular velocity  $\omega_n$  might become small, and there was a problem that setting out

of these loop gains  $K$  and the loop damping time constant  $a$  was difficult.

[0008] Next, although a gain switching circuit is provided in a DLL circuit and the spread spectrum system receiver which changed the loop damping time constant  $a$  to the loop gain  $K$  is also developed as a method of solving such a problem, in such a spread spectrum system receiver. Since trying to change the loop damping time constant  $a$  to the loop gain  $K$  whenever the time set up preliminary passed, after succeeding in drawing in, when the loop of a DLL circuit was unstable, the loop damping time constant  $a$  was changed to the loop gain  $K$ , by gain change, the lock blank might be started and the DLL circuit might fail in tailing.

[0009] When it judges whether the loop of this invention is stable in view of the mentioned above situation and the loop is stable, it aims at providing the spread spectrum system receiver which can make a jitter component small and can receive the purity of a reference clock while preventing a lock blank by changing a loop gain and a loop damping time constant.

[0010] [Means for solving the problem] In order to attain the mentioned above purpose, a spread spectrum system receiver by this invention, while leading a spread spectrum system signal acquired by receiving operation to a DLL circuit which has a phase

comparison circuit and a loop filter circuit and performing tailing and back spread of the mentioned above spectrum diffusion signal, in a spread spectrum system receiver which leads a back spread signal acquired by back spread operation of the mentioned above DLL circuit to a demodulation circuit, and generates a demodulation signal, a threshold preliminary set to a value of a signal which adds an output of the mentioned above phase comparison circuit with a constant period, and is acquired by this adding action is compared, when it judges whether a loop is stable based on this comparison result and a loop is stable, it is characterized by including a gain switching circuit which changes a gain and a filter time constant of the mentioned above loop filter circuit.

[0011] [Function] The threshold preliminary set to the value of the signal which adds the output of a phase comparison circuit with a constant period by a gain switching circuit, and is acquired by this adding action in the mentioned above composition is compared, when it judges whether the loop is stable based on this comparison result and the loop is stable, by changing the gain of a loop filter circuit and a filter time constant, preventing a lock blank, the jitter component of a loop is made small and purity of a reference clock is improved.

[0012] [Example] Drawing 1 is a block diagram showing one example of the spread spectrum system receiver according to this invention.

[0013] The spread spectrum system receiver shown on this drawing DLL circuit 1 and the demodulation circuit 2, the timing controller circuit 3 and by the timing controller circuit 3, the operation timing of DLL circuit 1, when the operation timing of the demodulation circuit 2 is controlled and the mentioned above DLL circuit 1 starts drawing-in operation by initial acquisition, such as a digital matched filter (not represented), operation of the demodulation circuit 2 is made to start almost simultaneous, while these are locked almost simultaneous, the loop gain  $K$  of DLL circuit 1. It is made to restore to the back spread signal which makes carry out back spread of the spectrum spread modulating signal by DLL circuit 1 with a change, and is outputted by the demodulation circuit 2 from the mentioned above DLL circuit 1 one by one in the loop damping time constant  $a$ . And when the lock of DLL circuit 1 separates, operation of the demodulation circuit 2 is stopped almost simultaneous.

[0014] As shown on drawing 2, DLL circuit 1, the A/D converter circuit 5 and PN code generation circuit 6, the phase shift circuit 7, the phase comparison circuit 8, and the loop filter circuit 9, it includes the clock signal generating circuit 10, the gain switching circuit 17, and the lock information generating circuit 11,



based on various kinds of timing signals outputted from the mentioned above timing controller circuit 3, DLL starts drawing-in operation by the initial acquisition to a spread spectrum modulation signal, changing the loop gain  $K$  of the loop filter circuit 9 and filter time constant  $a$ , whenever a loop is stabilized, after generating a lock detection signal and making operation of the demodulation circuit 2 start after succeeding in drawing in (lock detect). Back spread of the spectrum spread modulating signal is carried out, a back spread signal is generated, and this is supplied to the mentioned above demodulation circuit 2. And if a lock separates, a lock blank detecting signal will be generated almost simultaneous, and operation of the mentioned above demodulation circuit 2 will be stopped.

[0015] The A/D converter circuit 5 incorporates a spectrum spread modulating signal to the timing based on the clock signal outputted from the mentioned above clock signal generating circuit 10, and quantizes this, the spectrum spread modulating signal of the digital format acquired by this quantization operation is supplied to the phase shift circuit 7.

[0016] The frequency divider 12 which carries out dividing of the clock signal with which PN code generation circuit 6 is outputted from the mentioned above clock signal generating circuit 10 to one half, based on the control signal outputted, it operates from

the mentioned above timing controller circuit 3, synchronizing with the clock signal by which dividing was carried out in the mentioned above frequency divider 12, from a standard PN code and this standard PN code, 1/2 clock early progress PN code, it has PN code generator 13 which generates a late delay PN code 1/2 clock from the mentioned above standard PN code, making PN code generator 13 operate it based on the clock signal which carried out dividing of the clock signal outputted from the mentioned above clock signal generating circuit 10 to one half by the frequency divider 12, and was acquired by this dividing operation, and a standard PN code, a progress PN code and a delay PN code are generated and this is supplied to the phase shift circuit 7.

[0017] The 1st exclusive OR gate 14a that takes the exclusive OR of the progress PN code to which the phase shift circuit 7 is outputted from the mentioned above PN code generation circuit 6, and the spectrum spread modulating signal outputted from the mentioned above A/D converter circuit 5, the 3rd exclusive OR gate 14c that takes the exclusive OR of the delay PN code outputted from the mentioned above PN code generation circuit 6, and the spectrum spread modulating signal outputted from the mentioned above A/D converter circuit 5, it has the 2nd exclusive OR gate 14b that takes the exclusive OR of the standard

PN code outputted from the mentioned above PN code generation circuit 6, and the spectrum spread modulating signal outputted from the mentioned above A/D converter circuit 5, exclusive OR with the spectrum spread modulating signal outputted from the mentioned above A/D converter circuit 5, the progress PN code outputted from the mentioned above PN code generation circuit 6 and a delay PN code, and a standard PN code is taken, and each of these processing results are supplied to the phase comparison circuit 8.

[0018] The signal with which the phase comparison circuit 8 is outputted from the mentioned above 1st exclusive OR gate 14a based on the control signal from the mentioned above timing controller circuit 3, from the mentioned above 3rd exclusive OR gate 14c, take correlation with the signal outputted and the mentioned above 1st and 3rd exclusive OR gate 14a, while generating the 2 complement data (phase comparison signal) in which a gap of each signal outputted from 14c is shown and supplying this to the loop filter circuit 9, the gain switching circuit 17, and the lock information generating circuit 11, 1 symbol data length addition of the signal outputted from the mentioned above 2nd exclusive OR gate 14b is carried out, a back spread signal is generated and this is supplied to the mentioned above demodulation circuit 2.

[0019] The value of the phase comparison signal with which the loop filter circuit 9 is outputted from the mentioned above phase comparison circuit 8, it calculates based on the loop gain  $K$  and filter time constant  $a$  which were specified by the mentioned above gain switching circuit 17, the voltage control signal of the binary format corresponding to the value of the mentioned above phase comparison signal is generated and this is supplied to the clock signal generating circuit 10 and the lock information generating circuit 11.

[0020] The clock signal generating circuit 10 incorporates the voltage control signal outputted from the mentioned above loop filter circuit 9. The D/A converter circuit 15 which carries out D/A conversion of this and generates the voltage control signal of analog format, it includes the VCXO circuit 16 which sends on the frequency according to the value of the voltage control signal outputted from this D/A converter circuit 15, and generates a clock signal, it sends on the frequency according to the value of the voltage control signal outputted from the mentioned above loop filter circuit 9, a clock signal is generated, and this is supplied to the mentioned above timing controller circuit 3, the mentioned above PN code generation circuit 6, and the mentioned above A/D converter circuit 5.

[0021] As shown on drawing 3, the gain switching circuit 17, the addition period setting circuit 18, the phase comparator output adder circuit 19, the threshold setting circuit 20, and the decision circuit 21, it includes the counter circuit 22, the gain change decision circuit 23, and the gain setting circuit 24, it is judged whether the value of the phase comparison signal outputted from the phase comparison circuit 8 is checked, and the loop has become a stable state, whenever a loop will be in a stable state, generate the loop stable detecting signal which shows that a loop is a stable state, supply this to the lock information generating circuit 11.

After outputting this loop stable detecting signal, the loop gain  $K$  of the mentioned above loop filter circuit 9 and filter time constant  $a$  are changed after predetermined time.

[0022] The number of times of addition when deciding whether the loop is stable is set up, and the addition period setting circuit 18 supplies this number of times of addition to the phase comparator output adder circuit 19.

[0023] Whenever only the number of times of addition outputted from the mentioned above addition period setting circuit 18 adds the phase comparison signal outputted from the mentioned above phase comparison circuit 8, the phase comparator output adder circuit 19, this processing is repeated, after outputting the

aggregate value acquired by this summing processing to the mentioned above decision circuit 21 and resetting the aggregate value till then after this.

[0024] The threshold when deciding whether the loop is stable is set up, and the threshold setting circuit 20 supplies this threshold to the mentioned above decision circuit 21.

[0025] When the decision circuit 21 compares the aggregate value periodically outputted from the mentioned above phase comparator output adder circuit 19 with the threshold outputted from the mentioned above threshold setting circuit 20 and the mentioned above aggregate value is contained within the limits of the threshold, this is detected, the detecting signal in a threshold is generated, and this is supplied to the counter circuit 22. When the mentioned above aggregate value separates and is from the range of a threshold, a reset signal is generated and this is supplied to the mentioned above counter circuit 22.

[0026] Whenever the detecting signal in a threshold is outputted from the mentioned above decision circuit 21, the counter circuit 22, whenever it supplies the counted value which counted this and was acquired by this count operation to the mentioned above gain change decision circuit 23 and a reset signal is outputted from this gain change decision circuit 23 and

the mentioned above decision circuit 21, the count operation which reset and mentioned the counted value till then above is repeated.

[0027] When it judges whether the mentioned above loop of the gain change decision circuit 23 is stable based on the counted value outputted from the mentioned above counter circuit 22 and judges with the loop being stable, generating the loop stable detecting signal that shows that the loop is stable, and this is supplied to the lock information generating circuit 11 and a switch signal is generated after fixed time from this time and this is supplied to the gain setting circuit 24.

[0028] In this case, only in prescribed frequency, the state as a method of judging whether the loop being stable where the aggregate value outputted, for example from the phase comparator output adder circuit 19 is smaller than a threshold continues, when the counted value outputted from the counter circuit 22 corresponding to this turns into more than the value set up preliminary, the method of judging it as the loop having been stabilized are taken.

[0029] Whenever a switch signal is outputted from the mentioned above gain switching circuit 23, the gain setting circuit 24, the gain  $K$  and the loop damping time constant  $a$  are chosen, and the loop filter circuit 9 is supplied so that angular velocity  $\omega_n$  of DLL circuit 1

may be blunted one by one among a plurality of gains  $K$  set up preliminary and a plurality of loop damping time constants  $a$ .

[0030] The lock detection signal generating circuit 25 which judges whether DLL circuit 1 succeeded in drawing in based on the phase comparison signal outputted from the mentioned above phase comparison circuit 8 as the lock information generating circuit 11 is shown on drawing 4, it includes the lock blank detection signal generating circuit 26 which judges whether the lock of DLL circuit 1 separated based on the loop stable detecting signal outputted and the voltage control signal outputted from the mentioned above loop filter circuit 9 from the mentioned above gain switching circuit 17, when it confirms whether DLL circuit 1 succeeded in drawing in based on the value of the phase comparison signal outputted from the mentioned above phase comparison circuit 8 and a success of drawing in is detected, a lock detection signal is generated and this is supplied to the mentioned above demodulation circuit 2. When the loop stable detecting signal outputted from the mentioned above gain switching circuit 17 is outputted, based on the value of the voltage control signal outputted, a threshold is set up from the mentioned above loop filter circuit 9, when it confirms whether compared this threshold with the voltage



control signal outputted from the mentioned above loop filter circuit 9 after this, and the lock of DLL circuit 1 separated and a lock blank is detected, a lock blank detecting signal is generated and this is supplied to the mentioned above demodulation circuit 2.

[0031] Next, the locking action of this example is explained, referring to drawing 1 - drawing 4. First, if the initial supplementary operation by a digital matched filter is started, from PN code generation circuit 6, under control of the timing controller circuit 3, progress by a clock signal being generated by the clock signal generating circuit 10, and a PN code and a delay PN code, a standard PN code is outputted, the exclusive OR of these progress PN code, a delay PN code, a standard PN code, and the spectrum spread modulating signal of the digital format outputted from the A/D converter circuit 5 calculates, and this result of an operation is supplied to the phase comparison circuit 8.

[0032] And the phase of the PN code included in the spectrum spread modulating signal outputted by this phase comparison circuit 8 from the mentioned above A/D converter circuit 5 based on the mentioned above result of an operation, the gap with the phase of the PN code outputted from the mentioned above PN code generation circuit 6 is detected and this is supplied to the loop filter circuit 9, the phase of the PN code

contained in the spectrum spread modulating signal which is changed into the voltage control signal of a binary format and is outputted from the mentioned above A/D converter circuit 5, the phase of the clock signal outputted from the mentioned above clock signal generating circuit 10 is controlled so that the gap with the phase of the PN code outputted from the mentioned above PN code generation circuit 6 becomes small.

[0033] And in parallel to this operation, the aggregate value which added the value of the phase comparison signal which a loop is stabilized and is outputted from the phase comparison circuit 8 with the cycle set up preliminary comes in the threshold outputted from the threshold setting circuit 20 of the gain switching circuit 17, whenever this is detected only for prescribed frequency by the decision circuit 21, data collection processing of the lock blank detection signal generating circuit 26 of the lock information generating circuit 11 in which this was detected by the gain change decision circuit 23 is performed, while the threshold for lock blank detection is computed, when this threshold calculation processing is completed, the value of the gain  $K$  outputted from the gain setting circuit 24 and the value of the loop damping time constant  $a$  are changed in the direction which blunts angular velocity  $\omega_n$ .

[0034] By each time  $t_1$  where the loop was stabilized by this as shown on drawing 5,  $t_2$ ,  $t_3$ , by the gain switching circuit 17, the value of the gain  $K$  of the loop filter circuit 9, while the value of the voltage control signal which the value of the loop damping time constant  $a$  is changed in the direction which blunts angular velocity  $\omega_n$ , and is outputted from the loop filter circuit 9 converges, the purity of a reference clock is raised and a jitter component becomes small.

[0035] Whenever the gain  $K$  of the loop filter circuit 9 and the loop damping time constant  $a$  are changed by the gain switching circuit 17 at this time, the threshold of the lock blank detection signal generating circuit 26 established in the lock information generating circuit 11 is changed so that the width of upper limit and a degree value may become small.

[0036] And when the value of the phase comparison signal outputted from the phase comparison circuit 8 fulfills predetermined conditions, while this is detected by the lock detection signal generating circuit 25 of the lock information generating circuit 11 which has detected the existence of drawing in based on this phase comparison signal and a lock detection signal is generated, the recovery of the back spread signal which the demodulation circuit 2 starts a locking action and is outputted from DLL circuit 1 by this lock detection signal is started.

[0037] Next, when the lock of DLL circuit 1 separates by a certain cause, the lock blank detecting signal with which this was detected is generated by the lock blank detection signal generating circuit 26 of the lock information generating circuit 11, and the demodulation circuit 2 suspends demodulation operation with this lock blank detecting signal.

[0038] In this case, whenever it changes the loop gain  $K$  of the loop filter circuit 9, and filter time constant  $a$  by the gain switching circuit 17, since the threshold of the lock blank detection signal generating circuit 26 established in the lock information generating circuit 11 is changed, when the lock of DLL circuit 1 separates, this can be detected certainly and the demodulation operation of the demodulation circuit 2 can be stopped.

[0039] Thus, in this example, whenever a loop is stabilized, the gain switching circuit 17 detects this, since the loop gain  $K$  and filter time constant  $a$  are changed by the gain switching circuit 17, resetting the lock blank detection signal generating circuit 26 by each time  $t_1$ ,  $t_2$ ,  $t_3$  and making small width between the upper limit of a threshold, and a lower limit one by one, when the loop is stable, the loop gain  $K$  of the loop filter circuit 9 and filter time constant  $a$  can be changed so that angular velocity  $\omega_n$  of DLL circuit 1 may be blunted, purity of a reference clock can be

made high one by one, preventing a lock blank by this, the value of the voltage control signal outputted from the loop filter circuit 9 can be converged and a jitter component can be made small.

[0040]

[Effect of the invention] When it judges whether the loop is stable in this invention as explained above, and the loop is stable, a loop gain and a loop damping time constant are changed. Thus, preventing a lock blank, a jitter component can be made small and the purity of a reference clock can be received.

### **[Brief description of the drawings]**

[Drawing 1] is a block diagram showing one example of the spread spectrum system receiver by this invention.

[Drawing 2] is a block diagram showing the detailed example of a circuit of the DLL circuit shown on drawing 1.

[Drawing 3] is a block diagram showing the detailed example of a circuit of the gain switching circuit shown on drawing 2.

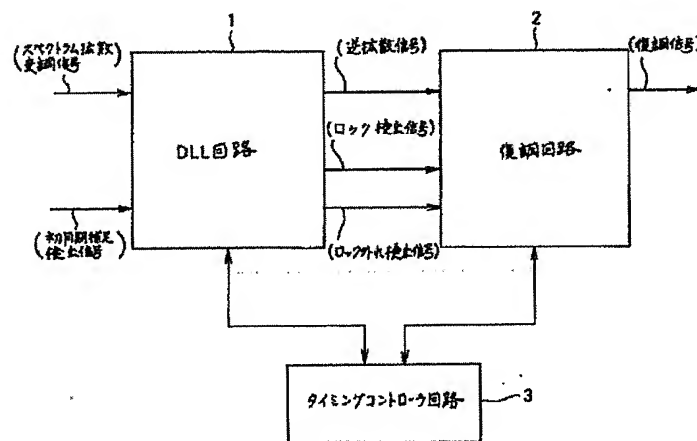
[Drawing 4] is a block diagram showing the detailed example of a circuit of the lock information generating circuit shown on drawing 2.

[Drawing 5] is a diagram for explaining operation of the DLL circuit shown on drawing 1.

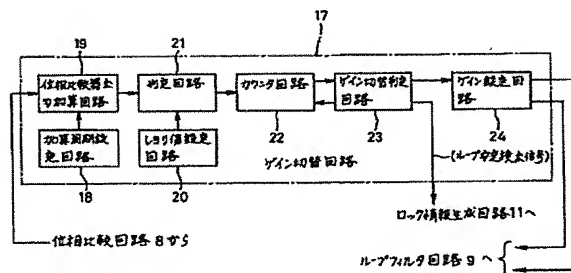
## [Description of numerals]

- 1 DLL circuit
- 2 Demodulation circuit
- 3 Timing controller circuit
- 5 A/D converter circuit
- 6 PN code generation circuit
- 7 Phase shift circuit
- 8 Phase comparison circuit
- 9 Loop filter circuit
- 10 Clock signal generating circuit
- 11 Lock information generating circuit
- 17 Gain switching circuit
- 25 Lock detection signal generating circuit
- 26 Lock blank detection signal generating circuit

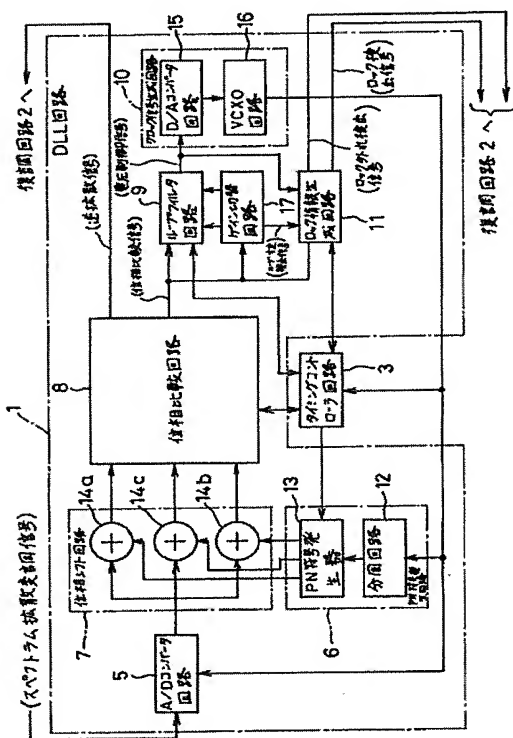
Drawing 1



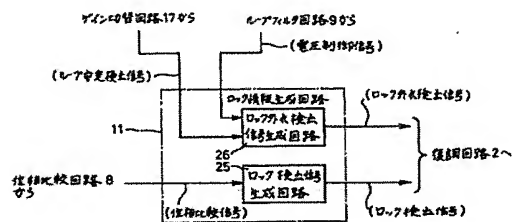
Drawing 3



Drawing 2



Drawing 4



Drawing 5

